Circuits intégrés à transistors MOS : réalisation d’un amplificateur opérationnel – partie 2

But de la manipulation

Se familiariser avec la structure d'un ampli-op de base à transistors MOS.

Pour ce faire, vous serez amenés à étudier les montages à amplificateurs MOSFET ne comprenant que peu d’élément passif

Prérequis

Les chapitres 4 et 5 du cours sont supposés connus. La matière des 4 labos précédents est également présente dans cette manipulation.

Prédéterminations

Il n’y a pas de prédéterminations à faire pour ce laboratoire. Toutefois, il faut avoir terminé le labo 4 avant de commencer ce laboratoire-ci. Si vous n’avez pas terminé le labo précédent, veuillez commencer par le terminer.

Objectifs

A la fin de ce laboratoire vous devez être capable

* Expliquer la mise en cascade de deux étages amplificateurs
* Expliquer le fonctionnement en boucle fermée d’étages amplificateurs

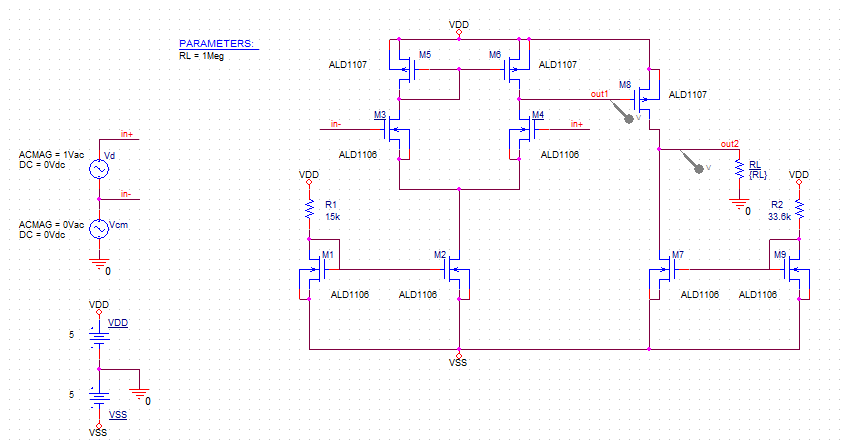
Manipulation

# Introduction

Dans ce laboratoire, nous allons finaliser la réalisation de l’amplificateur opérationnel commencé lors du laboratoire précédent. Pour ce faire, nous allons mettre en cascade les deux étages réalisés lors du laboratoire précédent :

* La paire différentielle avec transistors NMOS
* L’étage amplificateur PMOS à source commune

Le premier étage amplifie la différence de tension entre les entrée IN+ et IN– de l’ampli-op. Le signal est amplifié à nouveau par le second étage



Comme dans le laboratoire précédent, nous allons utiliser des NMOS ALD1106 et des PMOS 1107. Les caractéristiques du NMOS sont les suivantes :

--- ---

Pour le PMOS, on a :

--- ---

Attention ! Comme il s’agit ici de vrais transistors, ces valeurs sont approximatives. On verra durant les simulations (qui utilisent des modèles plus compliqués que ceux vu au cours) que les valeurs simulées peuvent différer assez fort des valeurs prédéterminées !

Tout au cours du laboratoire, on utilisera des tensions d’alimentations et .

# L’amplificateur opérationnel à 2 étages

Télécharger le projet Ampli Op 2 Etages.opj dans votre dossier de travail et ouvrez-le

## Fonctionnement en boucle ouverte

Vous allez tout d’abord vérifier le fonctionnement du montage en boucle ouverte. Le gain différentiel du premier étage a déjà été calculé

* Simulez le gain global **à vide** de l’ampli et la contribution de chaque étage, dans une plage de 10 Hz à 100 MHz. Quel est le gain de chaque étage ? Quel est le gain global ?

Une image contenant graphique

Description générée automatiquement

Gain du 1er étage : G1 =46.74

Gain total : 1667 (erreur dans le correctif)

G2 = Gtot/G1 = 35.665

* Faire une étude paramétrique du gain AC pour RL variant de 1 kΩ à 10 MΩ. Tracer Ad(RL) à 10 kHz par une *Performance Analysis.* En déduire l'impédance de sortie et comparer par rapport à la valeur théorique

Une image contenant diagramme

Description générée automatiquement

Une image contenant texte, armoire

Description générée automatiquement

Pour calculer l’impédance de sortie, on repart comme dans le labo 4 pour calculer la rL . A petit signal, le schéma la met en // avec la résistance trouvée ci-dessus.

Normalement, diff du correctif

* Tracez la courbe de transfert sur toute la plage possible (pour une résistance de charge infinie), puis zoomer sur la zone intéressante

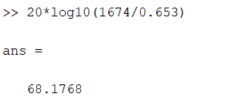
Une image contenant texte, ordinateur, intérieur, noir

Description générée automatiquement

* Simulez le gain de mode commun. Quel est le CMRR global ? Commentez par rapport à la simulation de l'étage différentiel au Labo 4 § 3.2.

Une image contenant graphique

Description générée automatiquement

$

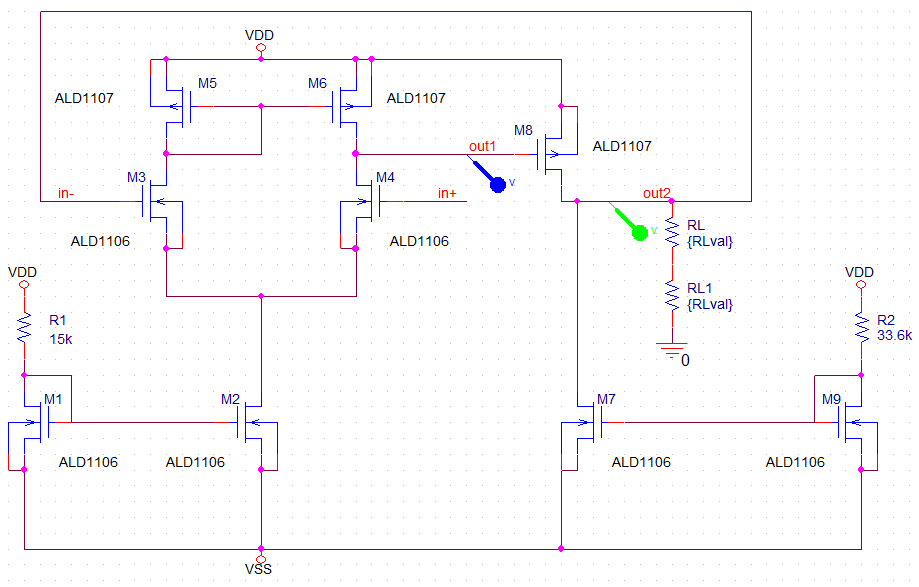
* Les performances sont-elles acceptables ? Quelles caractéristiques la charge doit-elle avoir ?
  + Que pouvez-vous dire du gain (à vide en **boucle ouverte**) ?
  + Quid de l’impédance de sortie ?
  + Et la plage de linéarité ?
  + Comparez ces éléments à un ampli-op classique.
* Gain : 1674 -> OK
* Impéd. de sortie : Zout­ = … -> vérifier si proche de la théorie
* Plage de linéarité : très petite
* Comparer le CMRR, RL et gain nécessaire
* Donnez des pistes pour améliorer les performances de l’ampli

## Fonctionnement en boucle fermée

Nous allons étudier les caractéristiques de notre montage lorsque il est utilisé en boucle fermée. Nous pouvons ainsi le mettre en suiveur de tension, ou établir un gain bien déterminé. Nous allons également voir les problèmes de stabilité lorsque le montage est opéré en boucle fermée.

Télécharger le projet Ampli-op 2 Etages BF.opj dans votre dossier de travail et ouvrez-le. (BF voulant dire ici Boucle Fermée). La résistance de charge a été partagée en 2 parties pour pouvoir donner du gain à l’ampli non-inverseur.

* Réglez RLval=1 MΩ au circuit et bouclez la sortie de l'étage à source commune sur l’entrée in- de l’amplificateur pour en faire un suiveur (comme indiqué sur la figure ci-dessous, le gain de la rétroaction est unitaire dans ce cas-ci)



* Faites un DC Sweep sur l’entrée (+) pour tracer la caractéristique de transfert et vérifiez le fonctionnement en suiveur. La sortie ne suit pas exactement l’entrée, pourquoi ?

Une image contenant graphique

Description générée automatiquement

Transistor réel -> sature

+ espèce de shift visible tout le long de la courbe

* Modifiez la rétroaction pour avoir un gain en boucle fermée de 100. Pour cela, déconnectez le fil de rétroaction de la sortie de l’étage à source commune, et connectez le fil de rétroaction entre RL et RL1 (comme indiqué sur la figure ci-dessous). Vous créez ainsi un diviseur résistif entre la sortie de l’étage à source commune et la rétroaction sur l’entrée in-. Exprimez la valeur de RL1 en fonction de RLval et GainBF afin d’obtenir le gain souhaité. Tracez la réponse à un échelon en utilisant une source VPULSE avec un temps de montée et de descente de 100 ns, une amplitude de 10 mV, une largeur de pulsation de 1ms et une période de 10 ms.

*Note* : Si vous ne savez pas comment configurer cette source, référez-vous à la documentation de PSPICE. Vous pouvez y accéder via le menu Help > Documentation. Dans la nouvelle fenêtre, affichez le panneau de navigation latéral en allant dans View > Navigation > Show. Dans la barre de recherche, entrez enfin « vpulse » et sélectionnez le premier résultat intitulé « Index of PSPICE A/D symbol... ». Vous trouverez alors un tableau reprenant tous les paramètres des différents éléments reconnus par PSPICE, dont VPULSE.

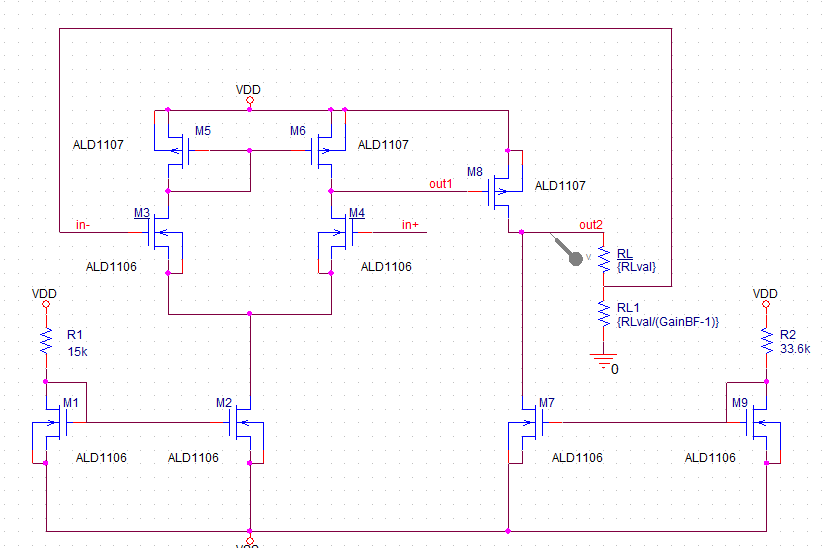
* Quelle durée allez-vous simuler ?
* Vérifiez le temps de montée de la sortie. Pour rappel, il s’agit du temps nécessaire pour passer de 10 % à 90 % de la valeur finale (i.e. le plateau).
* Commentez l’allure de la tension de sortie.

Une image contenant diagramme

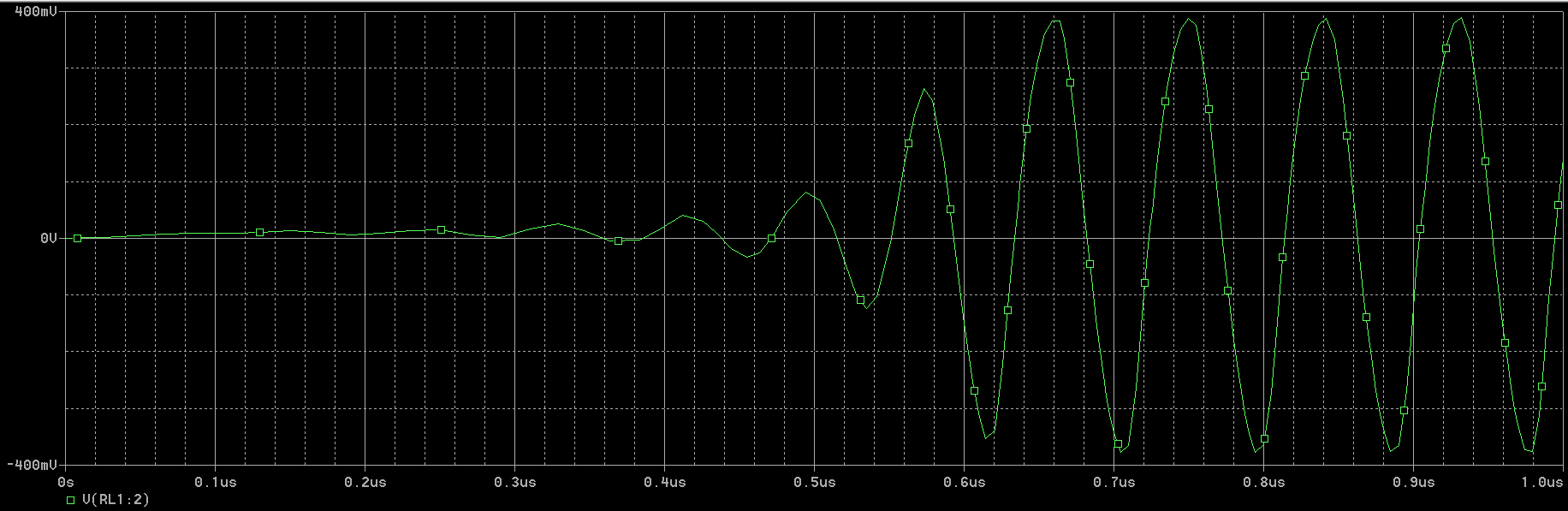
Description générée automatiquement

Temps de montée = T90% - T10% = 120ns – 30ns = 90ns -> Légèrement plus court

Présence d’un léger overshoot avant de se stabiliser à 9.85mV (légèrement sous la *commande*)



* Refaire la même simulation avec un gain de 10. Commentez les résultats.



Apparition d’un comportement instable. Une sinusoïde entretenue apparait

* Mettez un condensateur de 10 pF en rétroaction entre drain et grille du transistor de sortie. Montrez qu'il introduit un pôle dominant qui stabilise l'ampli en vous servant de la réponse fréquentielle.

Une image contenant diagramme, schématique

Description générée automatiquementMontrez ? Genre avec des maths et des H(p) ?

Nop, plutôt tracer la courbe de Bode du system H(p) = V(out) / V(in)

V(in) est un échelon -> =1 dans un le domaine de p ? Voir correctif

Si on ajoute un pôle dominant, alors la phase dans la courbe de Bode devrait être plus basse de k.90° (où k est l’ordre du pôle)

Une image contenant texte, intérieur, Appareils électroniques, ordinateur

Description générée automatiquement

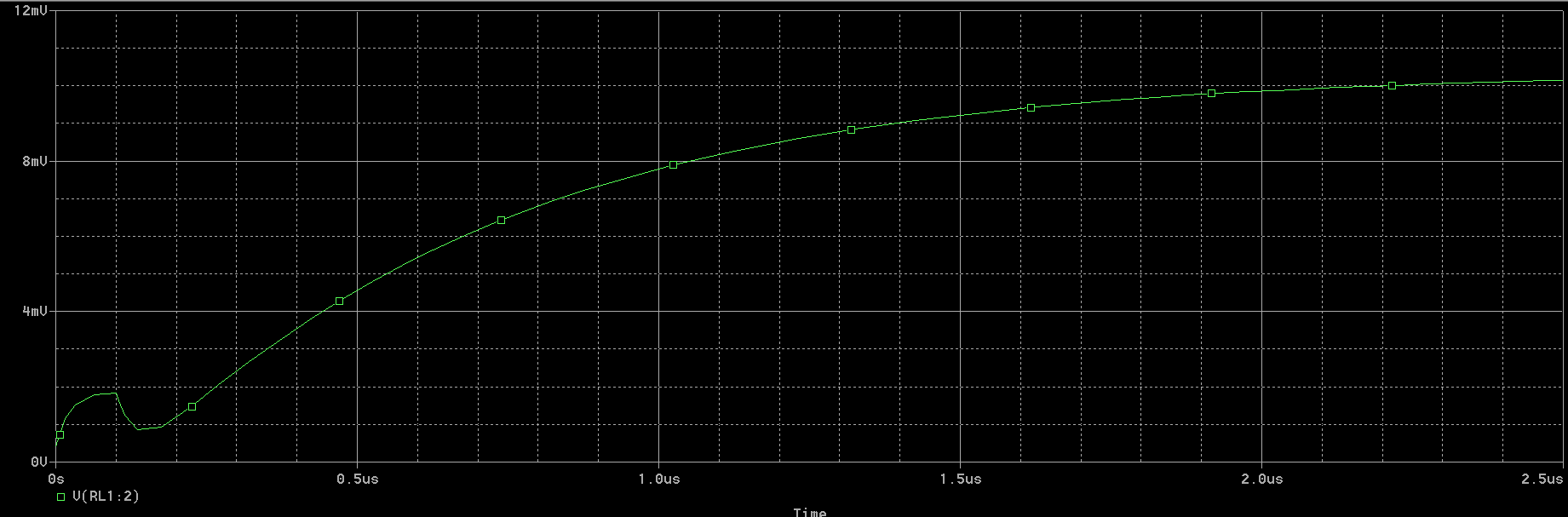
La courbe rouge représente le cas où la capacité a été placé. On observe bien la réduction de la phase, caractéristique typique d’un pôle

* Re-simulez (en boucle fermée) la réponse à un échelon de 10 mV avec un gain de 10. Constatez que le montage est maintenant stabilisé. Que devient le temps de montée ?

Une image contenant graphique

Description générée automatiquement

* Besoin d’un temps + long



Temps de montée = T90% - T10% = 1.400ns – 185ns = 1215ns

->Nettement plus long (>10 fois plus)

En simulant sur 5us, on confirme que la tension est bien stabilisée. Cependant, sur une longue période, la valeur de 10mV est dépassée (asymptote en ~10.3mV)

Une image contenant calendrier

Description générée automatiquement